

Preliminary



GW1AN-1S & 1 器件 数据手册

DS186-1.0, 2025-12-31

版权所有© 2025 广东高云半导体科技股份有限公司

GOWIN高云, Gowin, 小蜜蜂, LittleBee, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

Preliminary

版本信息

日期	版本	说明
2025/12/31	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 产品概述	1
1.1 特性概述.....	1
1.2 产品信息列表	2
1.3 封装信息列表	2
2 结构介绍	3
2.1 结构框图.....	3
2.2 NOR Flash	5
2.3 可配置功能单元.....	6
2.3.1 简介	6
2.4 输入输出模块	7
2.4.1 I/O 电平标准.....	8
2.4.2 I/O 逻辑	15
2.4.3 I/O 逻辑工作模式	17
2.5 块状静态随机存储器模块	17
2.5.1 简介	17
2.5.2 BSRAM 配置模式.....	18
2.5.3 存储器混合数据宽度配置	19
2.5.4 校验位功能配置.....	20
2.5.5 同步操作.....	21
2.5.6 BSRAM 操作模式.....	21
2.5.7 时钟模式.....	22
2.6 GPIO 支持 MIPI D-PHY RX/TX	24
2.7 时钟	24
2.7.1 全局时钟.....	25
2.7.2 锁相环	25

2.7.3 高速时钟	25
2.8 长线	26
2.9 全局复位	26
2.10 编程配置	26
2.11 片内晶振	26
3 电气特性	28
3.1 工作条件	28
3.1.1 绝对最大范围	28
3.1.2 推荐工作范围	29
3.1.3 电源上升斜率	29
3.1.4 热插拔特性	30
3.1.5 POR 特性	30
3.2 ESD 性能	30
3.3 DC 电气特性	31
3.3.1 推荐工作范围 DC 电气特性	31
3.3.2 静态电流	33
3.3.3 I/O 推荐工作条件	33
3.3.4 单端 I/O DC 电气特性	34
3.3.5 差分 I/O DC 电气特性	36
3.4 AC 开关特性	37
3.4.1 CLU 开关特性	37
3.4.2 BSRAM 开关特性	37
3.4.3 Gearbox 开关特性	37
3.4.4 时钟和 I/O 开关特性	39
3.4.5 片内晶振开关特性	39
3.4.6 锁相环开关特性	40
3.5 编程接口时序标准	41
4 器件订货信息	42
4.1 器件命名	42
4.2 器件封装标识示例	42
5 关于本手册	44
5.1 手册内容	44
5.2 相关文档	44
5.3 术语、缩略语	44
5.4 技术支持与反馈	45

图目录

图 2-1 GW1AN-1S 器件结构示意图 3

图 2-2 GW1AN-1 器件结构示意图..... 4

图 2-3 CLU 结构示意图 7

图 2-4 IOB 结构示意图 8

图 2-5 GW1AN-1S I/O Bank 分布示意图 9

图 2-6 GW1AN-1 I/O Bank 分布示意图..... 9

图 2-7 I/O 逻辑输入输出示意图 15

图 2-8 IODELAY 示意图 16

图 2-9 I/O 寄存器示意图 16

图 2-10 单端口、伪双端口及双端口模式下的流水线模式 21

图 2-11 独立时钟模式 23

图 2-12 读写时钟模式..... 23

图 2-13 单端口时钟模式 23

图 2-14 GW1AN-1S HCLK 示意图 25

图 2-15 GW1AN-1 HCLK 示意图..... 26

图 4-1 GW1AN-1S & 1 器件命名方法示例—Production 42

图 4-2 器件封装标识示例..... 43

表目录

表 1-1 产品信息列表	2
表 1-2 封装和最大用户 I/O 信息	2
表 2-1 GW1AN-1S & 1 器件支持的输出 I/O 类型及部分可选配置	10
表 2-2 GW1AN-1S & 1 器件支持的输入 I/O 类型及部分可选配置	11
表 2-3 端口介绍	15
表 2-4 IODELAY 总延迟参考	16
表 2-5 存储器配置列表	18
表 2-6 双端口混合读写数据宽度配置列表 ^{[1],[2]}	20
表 2-7 伪双端口混合读写数据宽度配置列表	20
表 2-8 时钟模式配置列表	22
表 2-9 GW1AN 系列 FPGA 产品的 MIPI IO 类型支持列表	24
表 2-10 GW1AN-1S & 1 片内晶振的输出频率选项	27
表 3-1 绝对最大范围	28
表 3-2 推荐工作范围	29
表 3-3 电源上升斜率	29
表 3-4 热插拔特性	30
表 3-5 POR 电压参数	30
表 3-6 GW1AN-1S & 1 ESD - HBM	30
表 3-7 GW1AN-1S & 1 ESD – CDM	31
表 3-8 推荐工作范围内的 DC 电气特性	31
表 3-9 静态电流	33
表 3-10 I/O 推荐工作条件	33
表 3-11 单端 I/O DC 电气特性	34
表 3-12 差分 I/O DC 电气特性	36
表 3-13 CLU 时序参数	37
表 3-14 BSRAM 时序参数	37
表 3-15 Gearbox 时序参数	37
表 3-16 单端 IO Fmax	38
表 3-17 外部开关特性	39

表 3-18 片内晶振特性参数..... 39

表 3-19 锁相环特性参数 40

表 5-1 术语、缩略语 44

1 产品概述

高云半导体 GW1AN-1S & 1 器件是高云半导体晨熙(Arora)家族 1 系列产品，集成了 4Mbit 容量的 NOR Flash 芯片。GW1AN-1S & 1 器件具有低功耗、低成本、高安全性、封装类型丰富、使用方便灵活等特点。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1AN-1S & 1 器件，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
 - 支持 1.2V 核电压
 - 支持时钟动态打开/关闭
- 集成 4Mbit NOR Flash 存储芯片
- 支持多种 I/O 电平标准
 - LVCMOS33/25/18/15/12; LVTTTL33, SSTL33/25/18 I, SSTL33/25/18 II, SSTL15; HSTL18 I, HSTL18 II, HSTL15 I; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
 - 提供输入信号迟滞选项
 - 提供输出信号驱动电流选项
 - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
 - 支持热插拔
- 丰富的基本逻辑单元
 - 4 输入 LUT(LUT4)
 - 支持移位寄存器
- 支持多种模式的静态随机存储器
 - 支持双端口、单端口以及伪双端口模式
- 灵活的 PLL 资源
 - 实现时钟的倍频、分频和相移
 - 全局时钟网络资源
- 编程配置模式
 - 支持 JTAG 配置模式
 - 支持 GowinCONFIG 配置模式: MSPI

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW1AN-1S	GW1AN-1
逻辑单元(LUT4)	1,152	1,152
寄存器(FF)	864	864
块状静态随机存储器 BSRAM(bits)	72K	72K
块状静态随机存储器数目 BSRAM(个)	4	4
NOR Flash (bits)	4M	4M
锁相环(PLLs)	1	1
I/O Bank 总数	3	4
最大 GPIO 数 ^[1]	TBD	120
核电压 (LV 版本)	1.2V	1.2V

注！

- ^[1] 最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 1-2。

1.3 封装信息列表

表 1-2 封装和最大用户 I/O 信息

封装	间距(mm)	尺寸(mm)	GW1AN-1S	GW1AN-1
QN48	0.4	6 x 6	-	41

注！

- 本手册中 GW1AN-1S & 1 器件封装命名采用缩写的方式，详情请参见 4.1 器件命名。
- 详细信息请参见 [UG187, GW1AN-1 器件 Pinout 手册](#)。
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 GPIO，但当 mode[2:0]=001 时，JTAGSEL_N 始终为 GPIO，此时可将 JTAGSEL_N 和 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）同时用作 GPIO。详细信息请参考 [UG188, GW1AN 系列 FPGA 产品封装与管脚手册](#)。

2 结构介绍

2.1 结构框图

图 2-1 GW1AN-1S 器件结构示意图

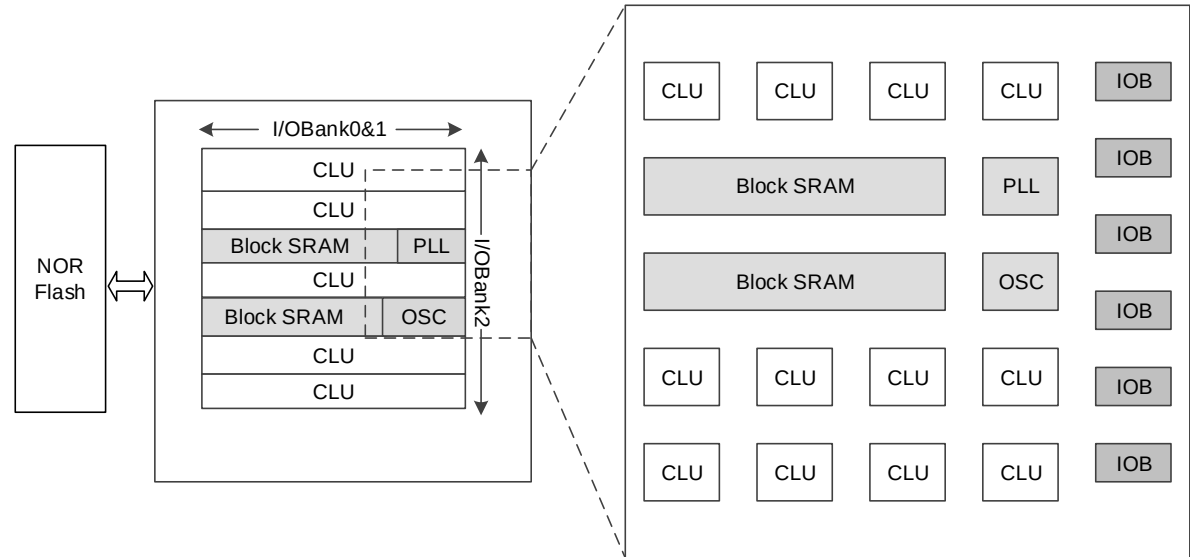


图 2-2 GW1AN-1 器件结构示意图

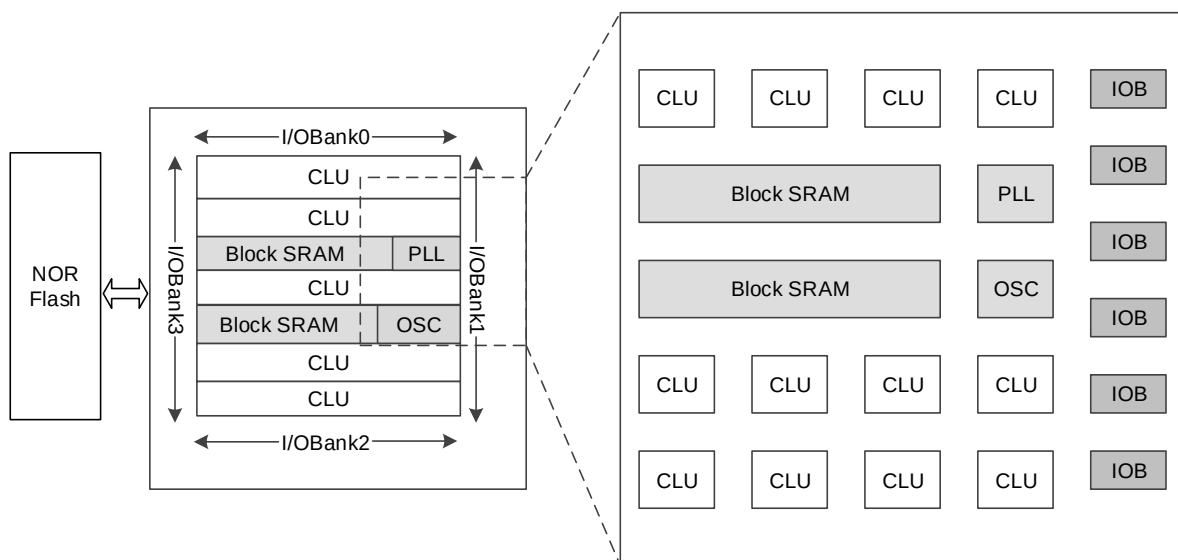


图 2-1 和图 2-2 分别为 GW1AN-1S 器件和 GW1AN-1 器件的结构示意图，GW1AN-1S & 1 为系统级封装芯片（SIP），集成了 NOR Flash 芯片。关于 NOR Flash 芯片的特性和概述，请参见 [2.2 NOR Flash](#)。

GW1AN-1S & 1 器件内部是一个逻辑单元阵列，外围是输入输出模块 (IOB)，器件内嵌了静态随机存储器 (BSRAM) 模块、PLL 资源、片内晶振。内部资源数量详细信息请参见表 1-1。

GW1AN-1S & 1 器件基本的组成部分为可配置逻辑单元 (CLU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件 CLU 行数和列数不同。可将 CLU 配置成查找表 (LUT4) 模式、算术逻辑模式和存储器模式。详细信息请参见 [2.3 可配置功能单元](#)。

GW1AN-1S & 1 器件的 I/O 资源分布在器件外围，以 Bank 为单位划分。这些 I/O 资源部分与存储芯片连接进行数据存储，部分 I/O 资源封装出来。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细信息请参见 [2.4 输入输出模块](#)。

GW1AN-1S & 1 器件的块状静态随机存储器 (BSRAM) 在器件内部按照行排列。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细信息请参见 [2.5 块状静态随机存储器模块](#)。

GW1AN-1S & 1 器件中内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 2.5MHz 到 125MHz 的时钟频率范围，为 MSPI 编程配置模式和用户设计提供时钟，时钟精度为 $\pm 15\%$ 。详细信息请参见 [2.7 时钟](#)、[2.11 片内晶振](#)。

此外，FPGA 器件内置了丰富的可编程布线单元 (CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。CLU 和 IOB 内部都分布着布线资源，连通了 CLU 内部资源和 IOB 内部的逻辑资源。布线资

源可通过高云半导体 **FPGA** 软件自动生成。此外，GW1AN-1S & 1 器件还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细信息行参考 [2.7 时钟](#)、[2.8 长线](#)、[2.9 全局复置位](#)。

2.2 NOR Flash

GW1AN-1S & 1 器件提供 NOR Flash，具有如下特性：

特性

- 4Mb 存储空间，每页 256 字节
- 支持标准 SPI、Dual SPI、Quad SPI
- 时钟频率：
 - 104MHz 高速读取
 - Dual I/O 数据传输速度高达 208Mbits/s
 - Quad I/O 数据传输速度高达 416Mbits/s
- 软/硬件写保护：
 - 软件设置全部/部分内存写保护
 - 顶层/底层块写保护
- 耐久性和数据存储时间：
 - 最少 100,000 次编程/擦除
 - 数据存储时间：20 年
- 快速的编程/擦除操作：
 - 页编程时间：1ms
 - Sector 擦除时间：100ms
 - 块擦除时间：0.3s/0.5s
 - 芯片擦除时间：2.5s/1.5s
- 灵活的架构：
 - Sector：4K 字节
 - 块：32/64K 字节
- 低功耗：
 - 待机电流：11uA
 - 关断电流：0.1uA
- 安全特性：
 - 每个器件有唯一的 128 位的 ID
 - 支持 SFDP(Serial Flash Discoverable Parameters)寄存器

- 2×1024 字节安全寄存器，带 OTP 锁定功能

Gowin 设计一款通用 SPI NOR Flash Interface IP，该 IP 为用户提供一个通用的命令接口，使其与 SPI NOR Flash 芯片进行互连，完成用户的访存需求。详细信息请参考 [IPUG945, Gowin SPI Nor Flash Interface IP 用户指南](#)。

2.3 可配置功能单元

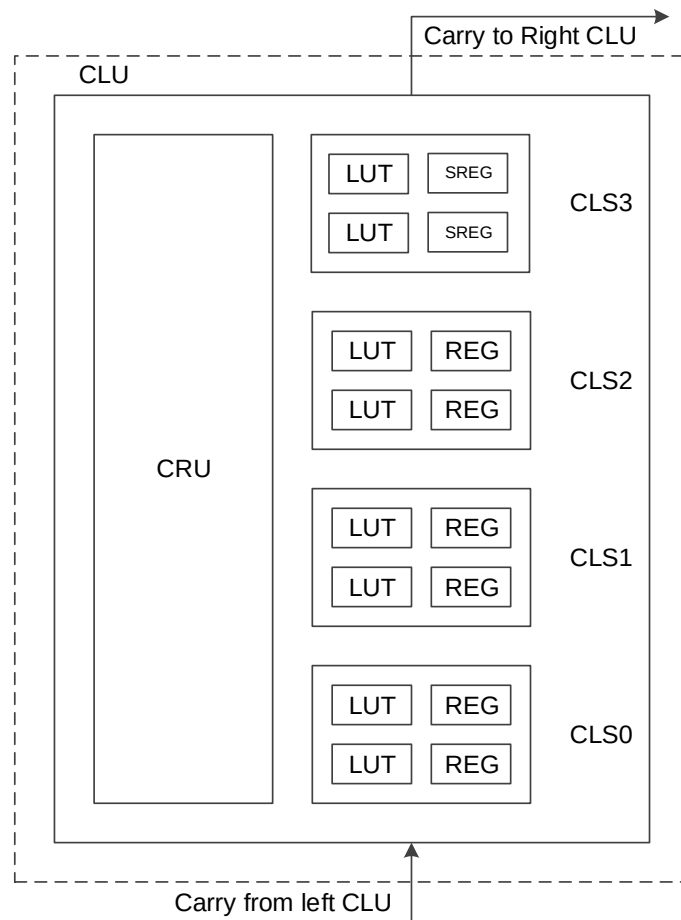
2.3.1 简介

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成。CLU 的结构示意图如图 2-3 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU/CLU 更多详细信息，可参考 [UG288, Gowin 可配置功能单元\(CFU\)用户指南](#)。

图 2-3 CLU 结构示意图



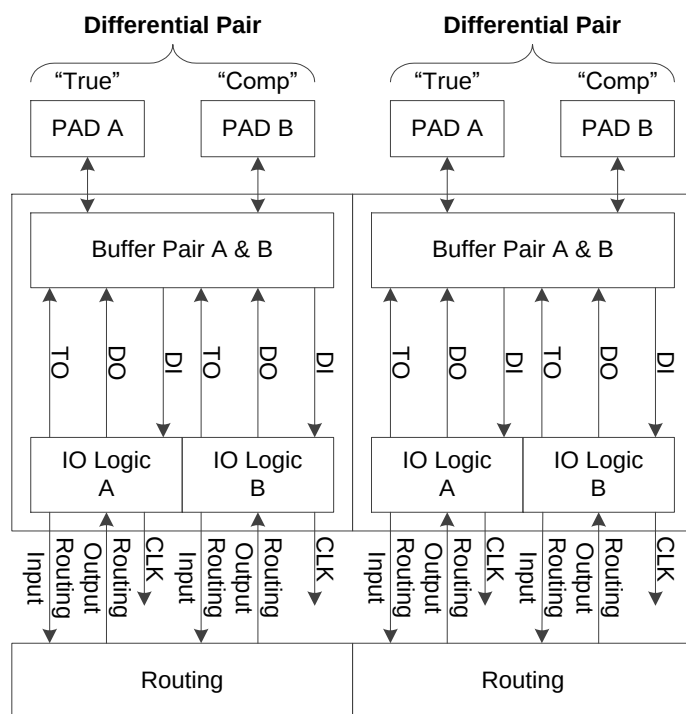
注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

2.4 输入输出模块

GW1AN-1S & 1 器件的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 2-4 所示，每个 IOB 单元包括了两个 I/O 管脚 (标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-4 IOB 结构示意图



GW1AN-1S & 1 器件中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制。
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准。
- 提供输入信号迟滞选项。
- 提供输出信号驱动电流选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。

注！

- GW1AN-1S 的 GPIO 支持以 MIPI IO 类型实现 MIPI 传输，详见表 2-9。

关于输入输出模块的更多详细信息，可参考 [UG289, Gowin 可编程通用管脚（GPIO）用户指南](#)。

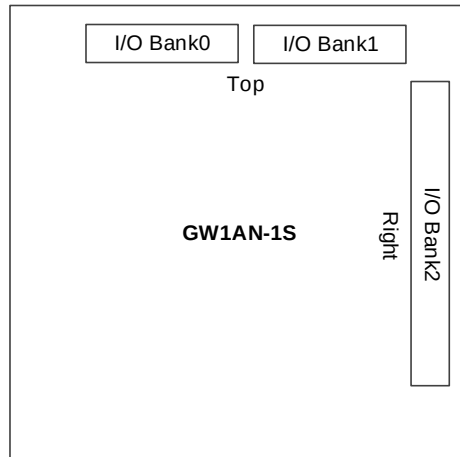
2.4.1 I/O 电平标准

GW1AN-1S & 1 器件每个 Bank 支持单独供电，有独立的电源 V_{CCIO} 。

为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CCIO}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

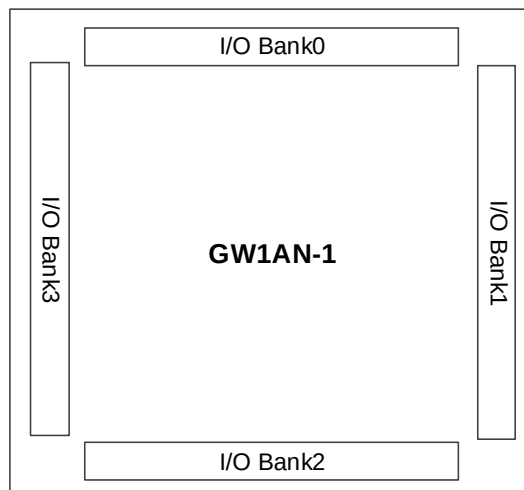
GW1AN-1S 器件包括 3 个 Bank，如图 2-5 所示。

图 2-5 GW1AN-1S I/O Bank 分布示意图



GW1AN-1 器件包括 4 个 Bank，如图 2-6 所示。

图 2-6 GW1AN-1 I/O Bank 分布示意图



GW1AN-1S & 1 器件支持 1.2V V_{CC} 供电电压，可以满足用户低功耗的需求。

V_{CCIO} 根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。

GW1AN-1S 器件的 GPIO 支持 MIPI IO 类型，详见表 2-9。

注！

- 配置过程中，器件所有 GPIO 均为高阻态、内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。
- GW1AN-1S 器件 Bank0/Bank1 的 I/O 用作 MIPI 输入的时候， V_{CCIO0}/V_{CCIO1} 需要提供 1.2V 电压。

不同的 I/O 输入输出标准对 V_{CCIO} 的要求如表 2-1 和表 2-2 所示。

表 2-1 GW1AN-1S & 1 器件支持的输出 I/O 类型及部分可选配置

I/O 类型(输出)	单端/差分	Bank $V_{CCIO}(V)$	输出驱动能力(mA)	典型应用
LVDS25E	差分	2.5	8	点对点高速数据传输
BLVDS25E	差分	2.5	16	多点高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
RSDS25E	差分	2.5	8	点对点高速数据传输
LVPECL33E	差分	3.3	16	通用接口
HSTL18D_I	差分	1.8	8	存储接口
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
SSTL15D	差分	1.5	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口
LVC MOS12D	差分	1.2	4/8	通用接口
LVC MOS15D	差分	1.5	4/8	通用接口
LVC MOS18D	差分	1.8	4/8/12	通用接口
LVC MOS25D	差分	2.5	4/8/12/16	通用接口
LVC MOS33D	差分	3.3	4/8/12/16/24	通用接口
HSTL15_I	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口

I/O 类型(输出)	单端/差分	Bank V _{CCIO} (V)	输出驱动能力(mA)	典型应用
SSTL15	单端	1.5	8	存储接口
SSTL18_I	单端	1.8	8	存储接口
SSTL18_II	单端	1.8	8	存储接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口
SSTL33_II	单端	3.3	8	存储接口
LVC MOS12	单端	1.2	4/8	通用接口
LVC MOS15	单端	1.5	4/8	通用接口
LVC MOS18	单端	1.8	4/8/12	通用接口
LVC MOS25	单端	2.5	4/8/12/16	通用接口
LVC MOS33/ LVTTL33	单端	3.3	4/8/12/16/24	通用接口
PCI33	单端	3.3	4/8	PC 和嵌入式系统

表 2-2 GW1AN-1S & 1 器件支持的输入 I/O 类型及部分可选配置

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需要 V _{REF}
MIPI ^[1]	差分 (TLVDS)	1.2	否	否
LVDS25 ^[2]	差分 (TLVDS)	2.5/3.3	否	否
RSDS ^[2]	差分 (TLVDS)	2.5/3.3	否	否
MINILVDS ^[2]	差分 (TLVDS)	2.5/3.3	否	否
PPLVDS ^[2]	差分 (TLVDS)	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需要 V _{REF}
RS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
HSTL18D_I	差分	1.8	否	否
HSTL18D_II	差分	1.8	否	否
HSTL15D_I	差分	1.5	否	否
SSTL15D	差分	1.5	否	否
SSTL18D_I	差分	1.8	否	否
SSTL18D_II	差分	1.8	否	否
SSTL25D_I	差分	2.5	否	否
SSTL25D_II	差分	2.5	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
LVC12D	差分	1.2	否	否
LVC15D	差分	1.5	否	否
LVC18D	差分	1.8	否	否
LVC25D	差分	2.5	否	否
LVC33D	差分	3.3	否	否
HSTL15_I	单端	1.5	否	是
HSTL18_I	单端	1.8	否	是
HSTL18_II	单端	1.8	否	是
SSTL15	单端	1.5	否	是
SSTL18_I	单端	1.8	否	是
SSTL18_II	单端	1.8	否	是
SSTL25_I	单端	2.5	否	是
SSTL25_II	单端	2.5	否	是

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需要 V _{REF}
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
LVCMOS12 ^[3]	单端	1.2	是	否
LVCMOS12UD15 ^{[3], [4]}	单端	1.5	否	否
LVCMOS12UD18 ^{[3], [4]}	单端	1.8	否	否
LVCMOS12UD25 ^{[3], [4]}	单端	2.5	否	否
LVCMOS12UD33 ^{[3], [4]}	单端	3.3	否	否
LVCMOS15OD12 ^{[3], [4]}	单端	1.2	否	否
LVCMOS15 ^[3]	单端	1.5	是	否
LVCMOS15UD18 ^{[3], [4]}	单端	1.8	否	否
LVCMOS15UD25 ^{[3], [4]}	单端	2.5	否	否
LVCMOS15UD33 ^{[3], [4]}	单端	3.3	否	否
LVCMOS18OD15 ^{[3], [4]}	单端	1.5	否	否
LVCMOS18 ^[3]	单端	1.8	是	否
LVCMOS18UD25 ^{[3], [4]}	单端	2.5	否	否
LVCMOS18UD33 ^{[3], [4]}	单端	3.3	否	否
LVCMOS25OD15 ^{[3], [4]}	单端	1.5	否	否
LVCMOS25OD18 ^{[3], [4]}	单端	1.8	否	否
LVCMOS25 ^[3]	单端	2.5	是	否

I/O 类型(输入)	单端/差分	Bank V _{CCIO} (V)	HYSTERESIS (支持迟滞选项)	是否需要 V _{REF}
LVC MOS25UD33 ^[3] , ^[4]	单端	3.3	否	否
LVC MOS33OD15 ^[3] , ^[4]	单端	1.5	否	否
LVC MOS33OD18 ^[3] , ^[4]	单端	1.8	否	否
LVC MOS33OD25 ^[3] , ^[4]	单端	2.5	否	否
LVC MOS33 ^[3]	单端	3.3	是	否
LVTTL33	单端	3.3	是	否
PCI33	单端	3.3	是	否

注!

- ^[1] GW1AN-1S 器件的 Bank0 和 Bank1 支持 MIPI IO 类型。
- ^[2] GW1AN-1 器件支持 LVDS25、RSDS、MINILVDS、PPLVDS 类型。
- ^[3] LVC MOS12 标准可以通过 LVC MOS12、LVC MOS12UD15、LVC MOS12UD18、LVC MOS12UD25、以及 LVC MOS12UD33 等 I/O 类型来实现,它们支持不同的 VCCIO。LVC MOS15/LVC MOS18/LVC MOS25/LVC MOS33 标准同理。
- ^[4] OD=over drive, UD=under drive。使用 OD/UD 类型时,需将对应 IO 的 Pull Mode 设置为 NONE, PCI Clamp 设置为 OFF。

2.4.2 I/O 逻辑

图 2-7 为 GW1AN-1S & 1 器件的 I/O 逻辑的输入输出部分。

图 2-7 I/O 逻辑输入输出示意图

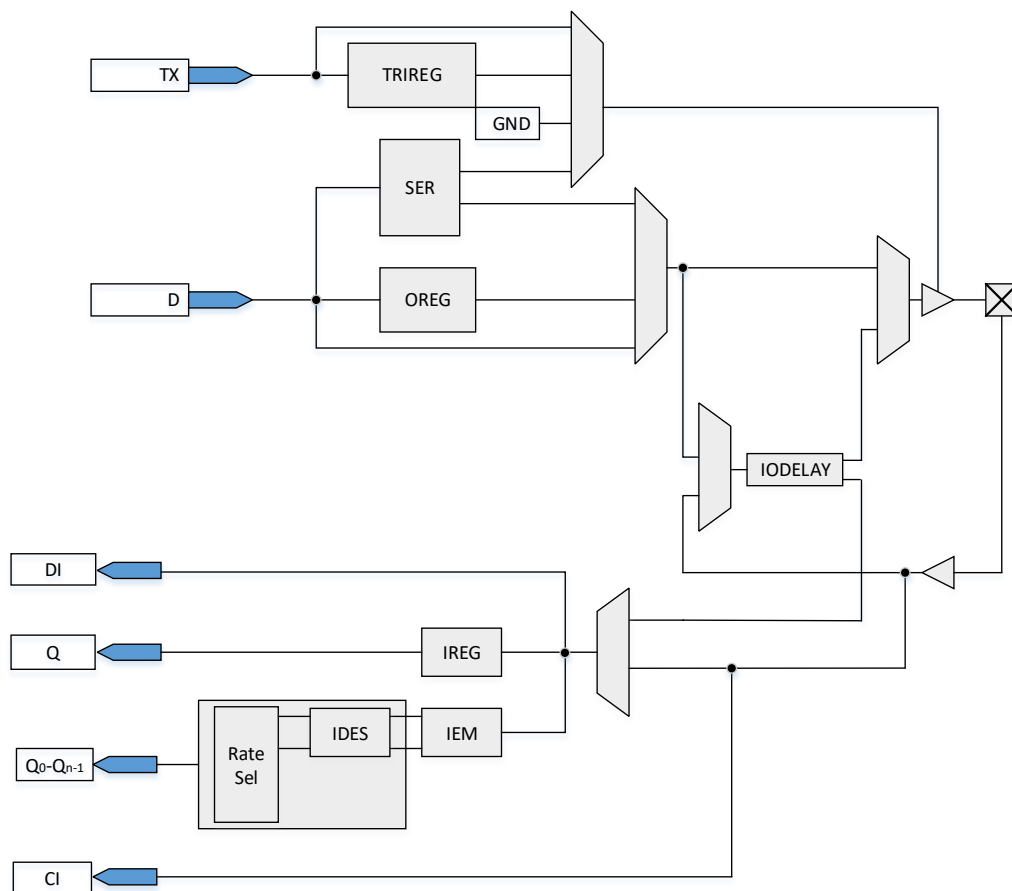


表 2-3 端口介绍

端口名	I/O	描述
CI ^[1]	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 UG187, GW1AN-1 器件 Pinout 手册 。
DI	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Input	SDR 模块中 IREG 输出信号。
Q ₀ -Q _{n-1}	Input	DDR 模块中 IDES 输出信号。

注！

- [1] 当 CI 作为 GCLK 输入使用时, DI、Q 及 Q_0-Q_{n-1} 不能作为 IO 输入输出使用。

GW1AN-1S & 1 器件的 I/O 逻辑的组成模块说明如下:

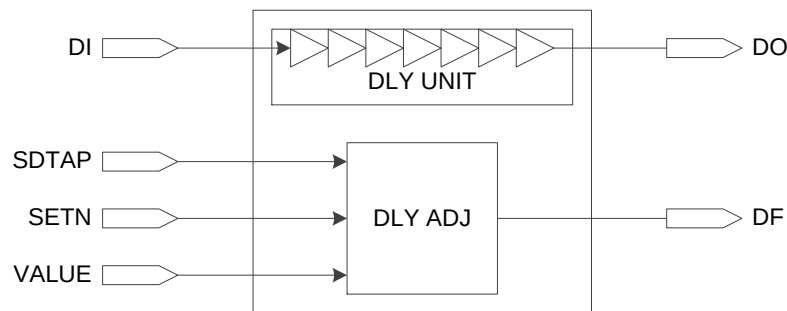
延迟模块

图 2-8 为延迟模块 IODELAY。GW1AN-1S & 1 器件的每个 I/O 都包含 IODELAY 模块，用户可以通过该模块在 I/O 上增加额外的 delay 用于调整输出信号的延时。每一步的延迟时间为 T_{dlyunit} ，总共可以提供的步数为 DLYSTEP。IODELAY 总延迟时间为： $T_{\text{maxdly}} = T_{\text{dlyoffset}} + T_{\text{dlyunit}} * \text{DLYSTEP}$ ，总延迟参考时间如表 2-4 所示。

表 2-4 IODELAY 总延迟参考

	Min. (ps)	Typ. (ps)	Max. (ps)
$T_{\text{dlyoffset}}$	450	500	550
T_{dlyunit}	-	30	-
DLYSTEP	0	-	127

图 2-8 IODELAY 示意图



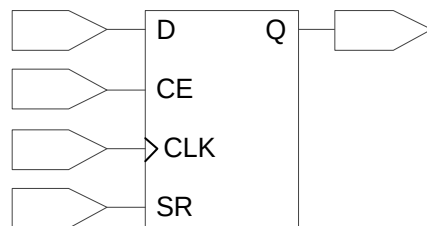
有两种控制延迟的方式：

- 静态控制。
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 2-9 为 GW1AN-1S & 1 器件的 I/O 寄存器模块。GW1AN-1S & 1 器件的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TRIREG。

图 2-9 I/O 寄存器示意图



注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

解串器 DES 模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

2.4.3 I/O 逻辑工作模式

GW1AN-1S & 1 器件的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

GW1AN-1S 的管脚都支持 I/O 逻辑。GW1AN-1 的管脚 IOL6(A,B,C....J)和 IOR6(A,B,C....J)不支持 I/O 逻辑，其他管脚支持 I/O 逻辑。

2.5 块状静态随机存储器模块

2.5.1 简介

GW1AN-1S & 1 器件提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (BSRAM)。每个 BSRAM 可配置最高 18,432bits(18Kbits)。提供的配置模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 190MHz
- 单端口模式(Single Port)
- 双端口模式(Dual Port)
- 伪双端口模式(Semi Dual Port)
- 提供校验位(Parity Bits)
- 提供只读存储器模式(ROM)
- 数据宽度从 1 位到 36 位
- 多时钟操作模式(Mixed Clock Mode)
- 多数据宽度模式(Mixed Data Width Mode)

- 正常读写(Normal Read and Write)
- 先读后写(Read-before-write)
- 通写(Write-Through)

关于 BSRAM 更多详细信息，可参考 [UG285，存储器 \(BSRAM&SSRAM\)用户指南](#)。

2.5.2 BSRAM 配置模式

GW1AN-1S & 1 器件的块状静态随机存储器可支持多种数据宽度，如表 2-5 所示。

表 2-5 存储器配置列表

单端口模式	双端口模式 ^[1]	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

注！

^[1] GW1AN-1S 器件不支持双端口模式。

单端口模式

单端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 3 种写模式（Normal 模式、Write-through 模式和 Read-before-write 模式）。在单端口模式下，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG285，存储器 \(BSRAM&SSRAM\)用户指南](#)。

双端口模式

双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 2 种写模式（Normal 模式和 Write-through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作

- 两个端口同时写操作
- 任何一个端口的读和写

注！

禁止对同一地址同时进行读写操作。

关于双端口模式的端口示意图及相关描述请参考 [UG285，存储器\(BSRAM&SSRAM\)用户指南](#)。

伪双端口模式

伪双端口模式可支持 2 种读模式（Bypass 模式和 Pipeline 模式）和 1 种写模式（Normal 模式）。伪双端口可支持同时的读和写操作，但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

注！

禁止对同一地址同时进行读写操作。

关于伪双端口模式的端口示意图及相关描述请参考 [UG285，存储器\(BSRAM&SSRAM\)用户指南](#)。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG285，存储器\(BSRAM&SSRAM\)用户指南](#)。

2.5.3 存储器混合数据宽度配置

GW1AN-1S & 1 器件的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 2-6 和表 2-7 的配置来应用。

表 2-6 双端口混合读写数据宽度配置列表^{[1],[2]}

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

- ^[1] GW1AN-1S 器件不支持双端口模式。
- ^[2]标注为“*”的表示支持的模式。

表 2-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

2.5.4 校验位功能配置

所有的块状静态随机存储器模块 **BSRAM** 内置了校验位的配置。每个字节的第 9 位可用来做校验位，用来检测数据传输的正确性，也可以用来存储数据。

2.5.5 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路。

2.5.6 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式：旁路(Bypass)模式、流水线(Pipeline)模式；3 种写操作模式：正常写(Normal)模式、通写(Write-through)模式、先读后写(Read-before-write)模式。

读操作模式

可选择以通过输出寄存器的方式或不通过输出寄存器的方式从 BSRAM 读出数据。

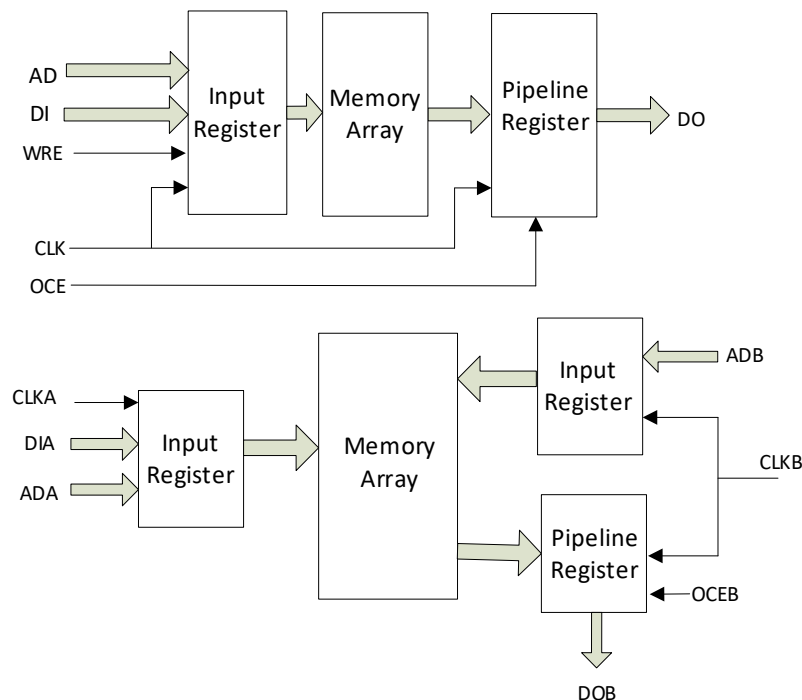
流水线模式

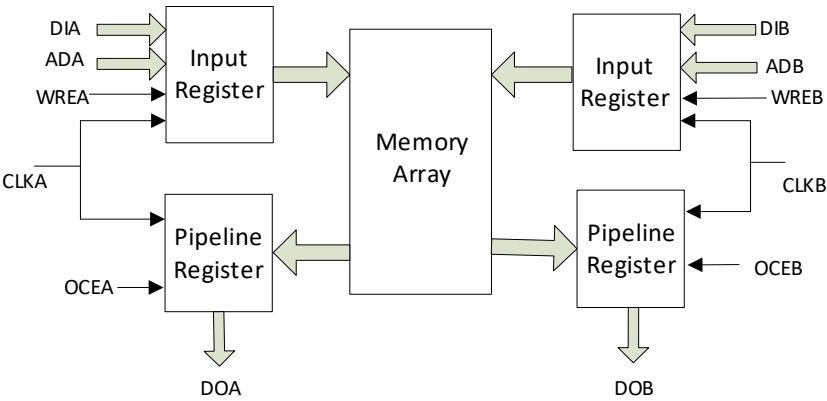
在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 2-10 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

2.5.7 时钟模式

表 2-8 中列出了不同 BSRAM 模式下可使用的时钟模式：

表 2-8 时钟模式配置列表

时钟模式	双端口模式 ^[1]	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

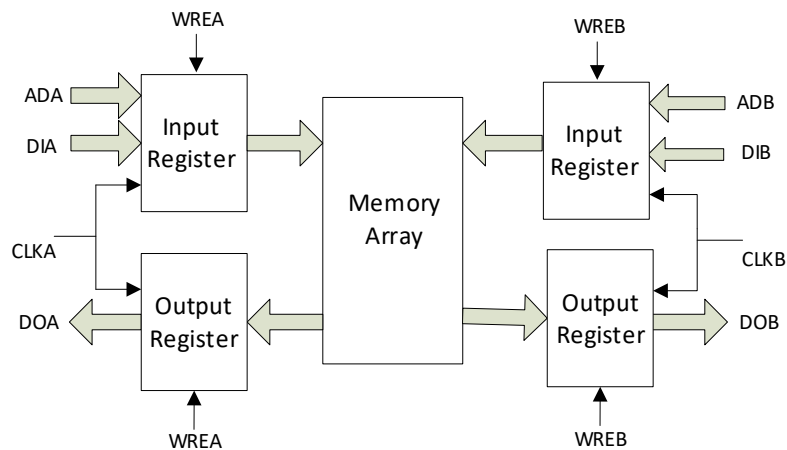
注！

^[1] GW1AN-1S 器件不支持双端口模式。

独立时钟模式

图 2-11 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

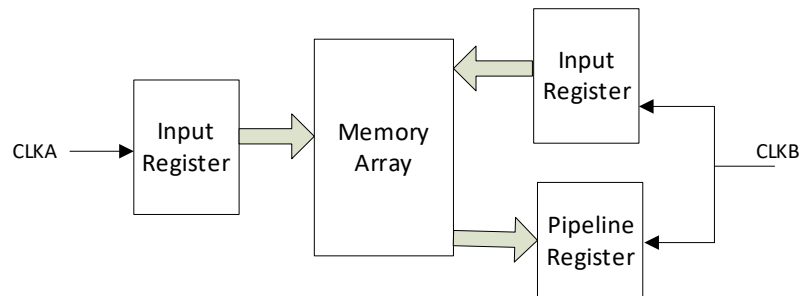
图 2-11 独立时钟模式



读写时钟模式

图 2-12 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

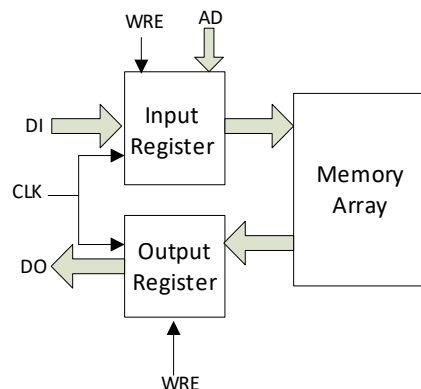
图 2-12 读写时钟模式



单端口时钟模式

图 2-13 显示了单端口时钟模式。

图 2-13 单端口时钟模式



2.6 GPIO 支持 MIPI D-PHY RX/TX

用 GPIO 实现软核 MIPI D-PHY RX/TX 时，可选 3 种 IO 类型：TLVDS、ELVDS、MIPI IO。

GW1AN-1S 支持 ELVDS 类型，GW1AN-1 支持 TLVDS/ELVDS 类型。用 TLVDS/ELVDS 类型实现 MIPI D-PHY 时，需通过 LVDS25(E)+LVCMOS12 的方式来模拟 MIPI HS 和 MIPI LP，并需要搭配外部电阻网络。

此外，GW1AN-1S 支持 MIPI IO 类型。MIPI IO 内部集成了电阻网络，支持 HS 和 LP 的自动切换。MIPI IO 类型支持情况如表 2-9 所示。

具体的 IO 选取和片外端接方式，可以参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance](#) 用户指南的“4 功能描述”。

表 2-9 GW1AN 系列 FPGA 产品的 MIPI IO 类型支持列表

MIPI 输入/输出	GW1AN-1S
MIPI 输入	Bank0/1
MIPI 输出	None

软核 MIPI D-PHY RX/TX 主要特性如下：

- 支持标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.2
- 支持高速 RX 和 TX 器件接口，传输速率最高可达 4.8 Gbps
- 支持最多四个数据通道和一个时钟通道
- 支持多 PHY (IO 允许的情况下)
- 支持双向低功耗(LP, Low-power)操作模式
- 支持 MIPI DSI 和 MIPI CSI-2 链路层
- 支持高速同步、位和通道对齐
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式
- 支持 ELVDS、TLVDS、和 MIPI IO 等 IO Type

更多详细信息请参考 [IPUG948, Gowin MIPI D-PHY RX TX Advance](#) 用户指南。

2.7 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1AN-1S & 1 器件提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了高速时钟 HCLK 资源、锁相环(PLL)等时钟资源。

关于全局时钟、高速时钟及锁相环的更多详细信息，请参考

UG286 Gowin 时钟资源(Clock)用户指南。

2.7.1 全局时钟

GCLK 在 GW1AN-1S & 1 器件中按象限分布, 每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源, 使用专用的时钟输入管脚具有更好的时钟性能。

2.7.2 锁相环

锁相环路是一种反馈控制电路, 简称锁相环 (PLL, Phase-locked Loop)。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1AN-1S & 1 器件的 PLL 模块能够提供可以综合的时钟频率, 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

2.7.3 高速时钟

GW1AN-1S & 1 器件的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输, 是专门针对源时钟同步的数据传输接口而设计的, HCLK 示意图如图 2-14 和图 2-15 所示。

图 2-14 GW1AN-1S HCLK 示意图

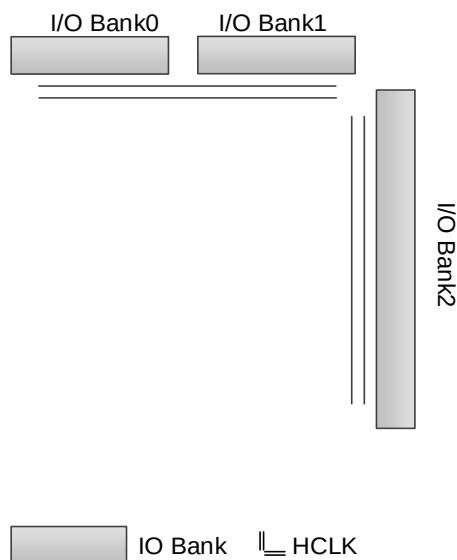
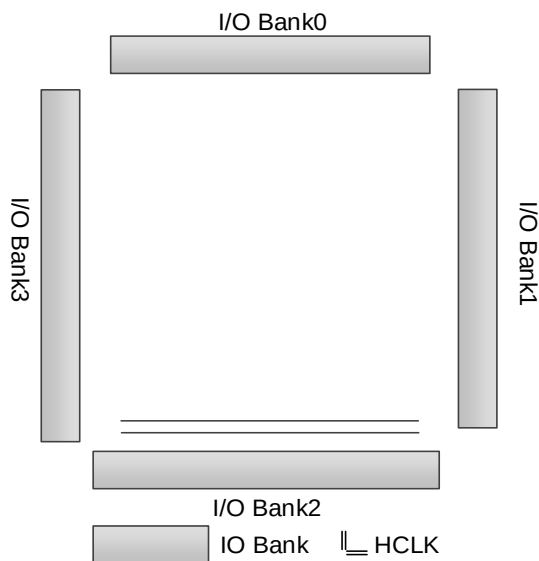


图 2-15 GW1AN-1 HCLK 示意图



2.8 长线

作为对 CRU 的有效补充，GW1AN-1S & 1 器件提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

2.9 全局复位位

GW1AN-1S & 1 器件中包含一个专用的全局复位位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU/CLU 和 I/O 中的寄存器均可以独立配置。

2.10 编程配置

GW1AN-1S & 1 器件支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在内置 Flash 中，上电后，GW1AN-1S & 1 器件从内置 Flash 中读取配置数据到 SRAM 中。

GW1AN-1S & 1 器件支持业界通用的 JTAG 配置模式。此外，GW1AN-1S & 1 还支持高云半导体特有的 GowinCONFIG 配置模式：MSPI。详细信息请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

2.11 片内晶振

GW1AN-1S & 1 器件内嵌了一个片内晶振，配置过程中为 MSPI 配置模式提供时钟源。

片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。

GW1AN-1S & 1 器件输出时钟频率可以通过如下公式计算得到：
 $f_{out}=240\text{MHz}/\text{Param}$ 。

注！

其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 2-10 列举了片内晶振的部分频率，如默认频率、最大频率和某些参数的输出小数的频率。

表 2-10 GW1AN-1S & 1 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.4MHz ^[1]	8	7.5MHz	16	15MHz
1	5.2MHz	9	8MHz	17	17MHz
2	5.5MHz	10	8.6MHz	18	20MHz
3	5.7MHz	11	9MHz	19	24MHz
4	6MHz	12	10MHz	20	20MHz
5	6.3MHz	13	11MHz	21	40MHz
6	6.7MHz	14	12MHz	22	60MHz
7	7MHz	15	13MHz	23	120MHz ^[2]

注！

- ^[1]默认输出频率
- ^[2]不适用于 MSPI 配置模式

3电气特性

注!
建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	-0.5V	1.32V
V _{CCIO}	I/O Bank 电源电压	-0.5V	3.75V
-	I/O 电压 ^[1]	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

注!
● ^[1]允许-2V 至（V_{IHMAX} + 2）V 的过冲和下冲，持续时间<20 ns。

3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	1.14V	1.26V
V _{CCIO}	I/O Bank 电源电压	1.14V	3.6V
T _{JCOM}	结温(商业级)	0℃	+85℃
T _{JIND}	结温(工业级)	-40℃	+85℃

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
V _{CC} Ramp	V _{CC} 上升斜率	1.2mV/μs	-	40mV/μs
V _{CCIO} Ramp	V _{CCIO} 上升斜率	0.1mV/μs	-	10mV/us

注！

- 所有电源的上升斜率必须单调。
- 在设备开始配置前，所有的电源都需要在表 3-2 中定义的工作范围内。不在工作范围内的电源需要调整到更快的斜率，否则用户必须推迟配置。

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I _{HS}	输入或 IO 漏电流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	I/O	150uA
I _{HS}	输入或 IO 漏电流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	TDI,TDO, TMS,TCK	150uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	器件	名称	值
V _{POR_UP}	Power on reset ramp up trip point	GW1AN-1S	V _{CC}	TBD
			V _{CCIO}	TBD
		GW1AN-1	V _{CC}	0.75V
			V _{CCIO}	0.85V
V _{POR_DOWN}	Power on reset ramp down trip point	GW1AN-1S	V _{CC}	TBD
			V _{CCIO}	TBD
		GW1AN-1	V _{CC}	TBD
			V _{CCIO}	TBD

3.2 ESD 性能

表 3-6 GW1AN-1S & 1 ESD - HBM

器件	GW1AN-1S	GW1AN-1
QN48	-	HBM>1000V

表 3-7 GW1AN-1S & 1 ESD - CDM

器件	GW1AN-1S	GW1AN-1
QN48	-	CDM>500V

3.3 DC 电气特性

3.3.1 推荐工作范围 DC 电气特性

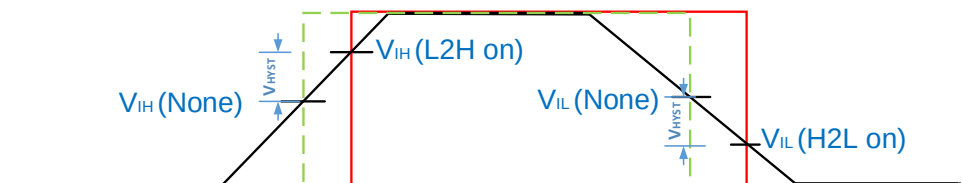
表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL}, I_{IH}	输入或 IO 漏电流(Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(MAX)$	-	-	210 μ A
		$0V < V_{IN} < V_{CCIO}$	-	-	10 μ A
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$	-30 μ A	-	-150 μ A
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(MAX) < V_{IN} < V_{CCIO}$	30 μ A	-	150 μ A
I_{BHLS}	总线保持低电平时持续电流(Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(MAX)$	30 μ A	-	-
I_{BHHS}	总线保持高电平时持续电流(Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCIO}$	-30 μ A	-	-
I_{BHLO}	总线保持低电平时过载电流(Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	150 μ A
I_{BHHO}	总线保持高电平时过载电流(Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	-150 μ A
V_{BHT}	总线保持触发点时电压(Bus hold trip points)		$V_{IL}(MAX)$	-	$V_{IH}(MIN)$

名称	描述	条件	最小值	典型值	最大值
C1	I/O 电容(I/O Capacitance)			5pF	8pF
V _{HYST}	输入迟滞 (Hysteresis for Schmitt Trigger inputs)	V _{CCIO} =3.3V, Hysteresis=L2H ^{[1],[2]}	-	200mV	-
		V _{CCIO} =2.5V, Hysteresis= L2H	-	125mV	-
		V _{CCIO} =1.8V, Hysteresis= L2H	-	60mV	-
		V _{CCIO} =1.5V, Hysteresis= L2H	-	40mV	-
		V _{CCIO} =1.2V, Hysteresis= L2H	-	20mV	-
		V _{CCIO} =3.3V, Hysteresis= H2L ^{[1],[2]}	-	200mV	-
		V _{CCIO} =2.5V, Hysteresis= H2L	-	125mV	-
		V _{CCIO} =1.8V, Hysteresis= H2L	-	60mV	-
		V _{CCIO} =1.5V, Hysteresis= H2L	-	40mV	-
		V _{CCIO} =1.2V, Hysteresis= H2L	-	20mV	-
		V _{CCIO} =3.3V, Hysteresis= HIGH ^{[1],[2]}	-	400mV	-
		V _{CCIO} =2.5V, Hysteresis= HIGH	-	250mV	-
		V _{CCIO} =1.8V, Hysteresis= HIGH	-	120mV	-
		V _{CCIO} =1.5V, Hysteresis= HIGH	-	80mV	-
		V _{CCIO} =1.2V, Hysteresis= HIGH	-	40mV	-

注！

- ^[1] Hysteresis="NONE", "L2H", "H2L", "HIGH"表示在 EDA 的 FloorPlanner 工具内设置 I/O Constraints 时的 Hysteresis 选项，设置方法详见 [SUG935, Gowin 设计物理约束指南](#)。
- ^[2] 开启 L2H(low to high)选项表示 V_{IH} 被提高 V_{HYST}；开启 H2L(high to low)选项表示 V_{IL} 被降低 V_{HYST}；HIGH 表示同时开启 L2H 和 H2L 选项，即 V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)。其示意图如下所示：



3.3.2 静态电流

表 3-9 静态电流

器件	名称	描述	器件类型	典型值 (mA)
GW1AN-1S	I _{CC}	Core 电源电流(V _{CC} =1.2V)	LV	TBD
	I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV	TBD
GW1AN-1	I _{CC}	Core 电源电流(V _{CC} =1.2V)	LV	TBD
	I _{CCIO}	I/O Bank 电源电流(V _{CCIO} =2.5V)	LV	TBD

3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V _{CCIO} (V)			输入对应的 V _{REF} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTTL33	3.135	3.3	3.6	-	-	-
LVC MOS33	3.135	3.3	3.6	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9

名称	输出对应的 V _{CCIO} (V)			输入对应的 V _{REF} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24	-24

名称	V _{IL}		V _{IH}		V _{OL} (Max)	V _{OH} (Min)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	Min	Max	Min	Max				
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V _{CCIO}	0.5*V _{CCIO}	3.6V	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	3.6V	0.7	V _{CCIO} -1.1V	8	-8
SSTL25_I	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	0.54V	V _{CCIO} -0.62V	8	-8
SSTL25_II	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
SSTL15	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	$I_{OL}^{[1]}$ (mA)	$I_{OH}^{[1]}$ (mA)
	Min	Max	Min	Max				
HSTL15_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA

注!

[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 $n*8mA$, n 表示该 Bank 被引出的 IO 数量。

3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性

名称	描述	测试条件	最小	典型	最大	单位
V_{INA}, V_{INB}	输入电压(Input Voltage)		0	-	2.15	V
V_{CM}	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.1	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	-	± 600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	± 20	μA
V_{OH}	输出高电平 (Output High Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	0.9	-	-	V
V_{OD}	差模输出电压 (Output Voltage Differential)	$(V_{OP} - V_{OM}), R_T=100\Omega$	250	350	450	mV
ΔV_{OD}	差模输出电压的变化范围 (Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	共模输出电压 (Output Voltage Offset)	$(V_{OP} + V_{OM})/2, R_T=100\Omega$	1.125	1.20	1.375	V
ΔV_{OS}	共模输出电压的变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接	-	-	15	mA

3.4 AC 开关特性

3.4.1 CLU 开关特性

表 3-13 CLU 时序参数

名称	描述	C6/I5		单位
		Min	Max	
t_{LUT4_CLU}	LUT4 延迟(LUT4 delay)	0.556	0.802	ns
t_{SR_CLU}	置位/复位到寄存器输出时间 (Set/Reset to Register output)	0.875	1.712	ns
t_{CO_CLU}	时钟到寄存器输出时间(Clock to Register output)	0.333	0.458	ns

3.4.2 BSRAM 开关特性

表 3-14 BSRAM 时序参数

名称	描述	C6/I5		单位
		Min	Max	
t_{COAD_BSRAM}	时钟到读地址/数据输出时间(Clock to output from read address/data)	3.460	3.460	ns
t_{COOR_BSRAM}	时钟到寄存器输出时间(Clock to output from output register)	0.827	0.827	ns

3.4.3 Gearbox 开关特性

表 3-15 Gearbox 时序参数

名称	描述	典型值	单位
F_{MAX_IDDR}	1:2 Gearbox 输入 IO 最大串行速率	400	Mbps
F_{MAX_IDES4}	1:4 Gearbox 输入 IO 最大串行速率	800	Mbps
F_{MAX_IDESx}	1:8/1:10 Gearbox 输入 IO 最大串行速率	1000	Mbps
F_{MAX_ODDR}	2:1 Gearbox 输出 IO 最大串行速率	400	Mbps
F_{MAX_OSER4}	4:1 Gearbox 输出 IO 最大串行速率	800	Mbps
F_{MAX_OSERx}	8:1/10:1 Gearbox 输出 IO 最大串行速率	1000	Mbps

注！

- LVDS IO 速度可以达到 1Gbps, 但是请注意 1:4 1:2 时候,内核速度可能达不到相应的速度。
- Drive Strength=3.5 mA。

表 3-16 单端 IO Fmax

名称	Fmax 最小值(MHz)	
	Drive Strength = 4mA	Drive Strength > 4mA
LVTTL33	150	300
LVC MOS33	150	300
LVC MOS25	150	300
LVC MOS18	150	300
LVC MOS15	150	200
LVC MOS12	150	150

注！

测试负载为 30pF 电容。

3.4.4 时钟和 I/O 开关特性

表 3-17 外部开关特性

器件	名称	C6/I5	单位
		典型值	
GW1AN-1S	HCLK Tree delay	1.1	ns
	PCLK Tree delay(GCLK0~5)	2.4	ns
	PCLK Tree delay(GCLK6~7)	2.6	ns
	Pin-LUT-Pin Delay	4.3	ns
GW1AN-1	HCLK Tree delay	1.2	ns
	PCLK Tree delay(GCLK0~5)	2.4	ns
	PCLK Tree delay(GCLK6~7)	2.7	ns
	Pin-LUT-Pin Delay	4.3	ns

3.4.5 片内晶振开关特性

表 3-18 片内晶振特性参数

名称	说明	最小值	典型值	最大值
f _{MAX}	晶振输出频率(0 ~ +85℃)	108MHz	120MHz	132MHz
	晶振输出频率(-40 ~ +85℃)	102MHz	120MHz	138MHz
t _{DT}	输出时钟占空比	43%	50%	57%
t _{OPJIT}	输出时钟抖动	0.01UIPP	0.012UIPP	0.02UIPP

3.4.6 锁相环开关特性

表 3-19 锁相环特性参数

名称	描述	GW1AN-1S	GW1AN-1	单位
		C6/I5	C6/I5	
F_{INMAX}	Maximum Input Clock Frequency	TBD	400	MHz
F_{INMIN}	Minimum Input Clock Frequency	TBD	3	MHz
F_{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	TBD	400	MHz
F_{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	TBD	3	MHz
$F_{INJITTER}$	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max		
F_{INDUTY}	Minimum Allowable Input Duty Cycle: 3-49 MHz	TBD	25	%
	Minimum Allowable Input Duty Cycle: 50-199 MHz	TBD	30	%
	Minimum Allowable Input Duty Cycle: 200-399 MHz	TBD	35	%
F_{VCOMIN}	Minimum PLL VCO Frequency	TBD	400	MHz
F_{VCOMAX}	Maximum PLL VCO Frequency	TBD	900	MHz
$T_{STATPHAOFFSET}$	Static Phase Offset of the PLL Outputs	TBD	+/-50	ps
$T_{JITTER_CCJ_HCLK}^{[3]}$	PLL Output cycle-cycle Jitter Thru HCLK ≥ 100 MHz	TBD	<300	ps
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	TBD	<30	mUI
	PLL Output cycle-cycle Jitter Thru PCLK ≥ 100 MHz	TBD	<400	ps
	PLL Output cycle-cycle Jitter Thru PCLK <100MHz	TBD	<40	mUI

T _{JITTER_PJ_PCLK}	PLL Output period Jitter Thru HCLK $\geq 100\text{MHz}$	TBD	<300	ps
	PLL Output period Jitter Thru HCLK <100MHz	TBD	<30	mUI
	PLL Output period Jitter Thru PCLK $\geq 100\text{MHz}$	TBD	<400	ps
	PLL Output period Jitter Thru PCLK <100MHz	TBD	<40	mUI
T _{OUTDUTY} ^{[1],[4]}	PLL Output Clock Duty Cycle Precision	TBD	<50	mUI
T _{LOCKMAX}	PLL Maximum Lock Time	TBD	1	ms
F _{OUTMAX}	PLL Maximum Output Frequency	TBD	450	MHz
F _{OUTMIN} ^[2]	PLL Minimum Output Frequency	TBD	3.125	MHz
T _{EXTFDVAR}	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max		
R _{STMINPULSE}	Minimum Reset Pulse Width	TBD	10	ns

注！

- ^[1]该测试数据是基于整数分频的结果。
- ^[2]当用到 Cascade 模式时，多个 Divider 可以串联得到更低的输出频率。
- ^[3]输出抖动会和输入的源相关，该测试数据基于低抖动的晶振作为输入源。
- ^[4]用户看到的 IO 上的 duty cycle 还会受 Clock Tree 的影响。

3.5 编程接口时序标准

GW1AN-1S & 1 器件支持 GowinCONFIG 配置模式，包括 MSPI 模式，详细信息请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

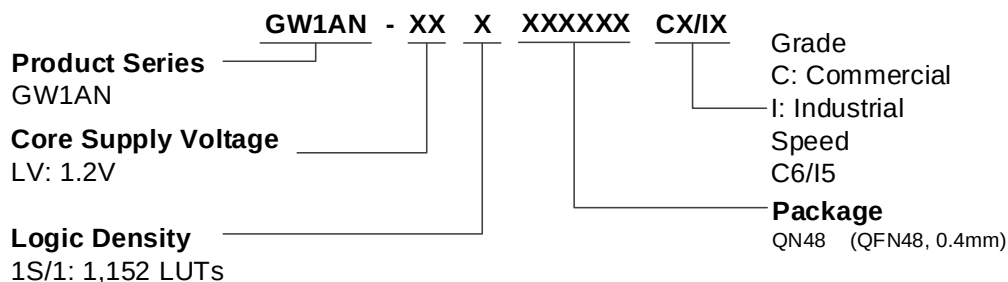
4 器件订货信息

4.1 器件命名

注！

- 关于详细的管脚信息及封装信息，请参考 1.2 产品信息列表及 1.3 封装信息列表。
- 相同速度等级的小蜜蜂(LittleBee)家族器件和晨熙家族器件速度不同。
- GW1AN-1S & 1 器件速度等级采用双标识，如 C6/I5 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。同一芯片如在商业级应用中满足速度等级 6，在工业级应用中速度等级则为 5。

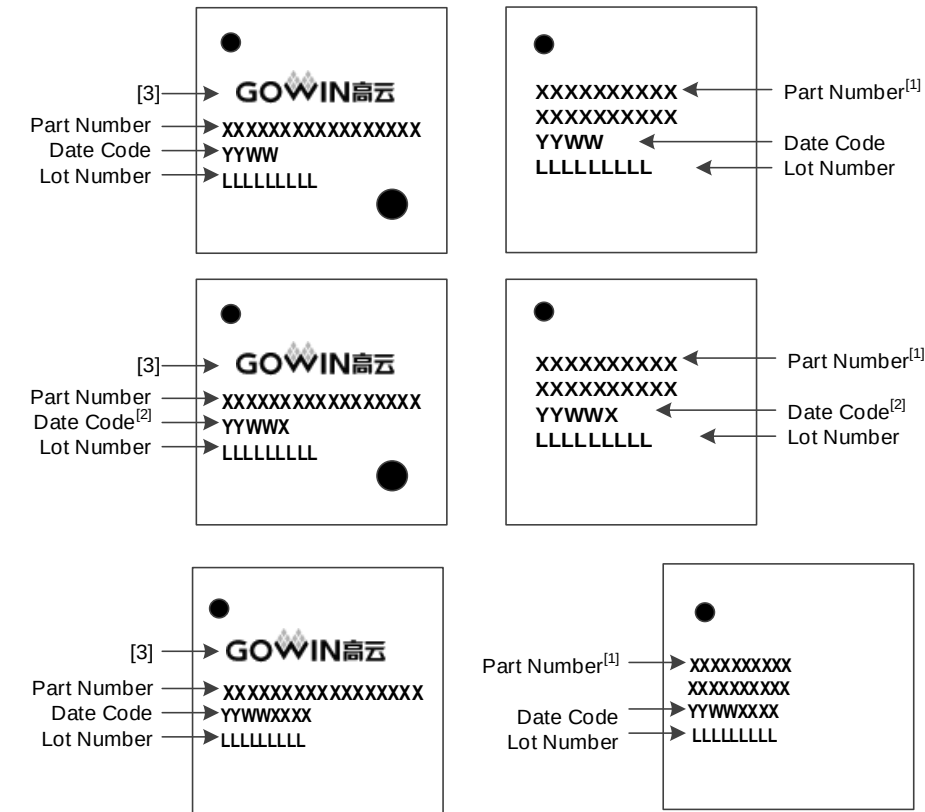
图 4-1 GW1AN-1S & 1 器件命名方法示例-Production



4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，封装标识示例如图 4-2 所示。

图 4-2 器件封装标识示例



注！

- ^[1]上图右图中第一行与第二行均为“Part Number”。
- ^[2] Date Code 的第 5 个字符为器件版本号。
- ^[3]具体器件的封装标识是否带高云 Logo 与封装形式、封装尺寸及 Part Number 长度有关，上图仅为封装标识的示例。

5 关于本手册

5.1 手册内容

GW1AN-1S & 1 器件数据手册主要包括高云半导体 GW1AN-1S & 1 器件特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1AN-1S & 1 器件以及特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [UG290, Gowin FPGA 产品编程配置手册](#)
- [UG188, GW1AN 系列 FPGA 产品封装与管脚手册](#)
- [UG187, GW1AN-1 器件 Pinout 手册](#)

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑块

术语、缩略语	全称	含义
CLU	Configurable Logic Unit	可配置逻辑单元
CRU	Configurable Routing Unit	可编程布线单元
DCS	Dynamic Clock Selector	动态时钟选择器
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IOB	Input/Output Block	输入输出模块
LUT4	4-input Look-up Table	4 输入查找表
PLL	Phase-locked Loop	锁相环
QN	QFN	QFN 封装
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SIP	System in Package	系统级封装
SP	Single Port 16K BSRAM	16K 单端口 BSRAM

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

Preliminary